Arquitectura y Organización de Computadoras

Licenciatura en Sistemas de Información

Facultad de Ciencias Exactas y Naturales y Agrimensura

Universidad Nacional del Nordeste

Corrientes, 19/05/2020

**2da Evaluación Parcial**

El trabajo consiste en interpretar, analizar y resolver cuestiones de naturaleza conceptual, problematizadora y aplicativa, referidas a los sistemas de memoria, de entrada/ salida, y de procesamiento, de las arquitecturas y organización de computadoras.

Los criterios de evaluación que se definen son los siguientes: Capacidad de síntesis. Claridad y Precisión en las respuestas. Redacción. Pertinencia y Aplicación de conceptos teóricos y/o prácticos. Capacidad de análisis y resolución de problemas.

Se requiere consignar en cada hoja: a) Nombre y Apellido b) D.N.I. c) Firma

A continuación, se presentan las cuestiones a resolver, divididas en cuatro partes, cada una con su correspondiente valoración.

**Parte I-** **Memoria Interna** **(Valoración 25 puntos/100)**

I-I Determine el tiempo de acceso promedio a una memoria DDR SDRAM que opera a 100 Mhz con un bus de datos de 64 bits, y los siguientes valores de latencias 2 6 4 4 (Valoración 10 puntos/100)

100Mhz = 100.000.000 ciclos por segundo

Bus de 64 bit de datos

Tasa de transferencia = 100.000.000 \* 8\*2 = 1.600.000.000 byte por segundo

8 bits = 1 byte

Tasa de transferencia = 1.600.000.000 / 1.000.000 = 1600Mbyte/segundo

I-II ¿Cuál sería la tasa de transferencia de una memoria DDR2 SDRAM que opera a 100 Mhz y un bus de datos de 64 bits? (Valoración 5 puntos/100)

100 Mhz = 100.000.000 ciclos por segundo

Bus de 64 bit de datos

Tasa de transferencia = 100.000.000 \* 8 byte\*4 = 3.200.000.000 byte por segundo

8 bits = 1 byte

Tasa de transferencia =  3.200.000.000/1.000.000 = 3.200 Mbyte/segundo

I-III Especifique el valor de verdad (Verdadero o Falso) de las siguientes sentencias (Valoración 10 puntos/100):

1. Las memorias SRAM no requieren de “refrescos de carga” debido a que están formadas por elementos capacitores que tienden a perder la carga acumulada

Falso

1. En una memoria RAM SDRAM típica con un bus de 64 bits, se puede afirmar que el tiempo de latencia es mayor que el tiempo de la latencia de una memoria DDR SDRAM

**Falso**

**Parte II- Memoria Cache (Valoración 25 puntos/100)**

II-I Supongamos que tenemos dos niveles de memoria, M1 y M2. La memoria M1 es la más cercana al procesador y contiene 1000 bytes con un tiempo de acceso promedio de 0.01 microseg. La memoria M2 contiene 100000 bytes, tiene un acceso promedio de 0.1 microseg (Podemos asumir que la M2 es la memoria Principal’)

Calcular el tiempo de acceso promedio al sistema de memoria (teniendo en cuenta estos dos niveles memorias) considerando un HIT cache de 0.85 (Valoración 10 puntos/100)

Teniendo en cuenta el tiempo promedio de acceso H= 0,85

(0.85) \* (0,01 microseg) + (0.15) \* (0.01+0,1) = 0,0085+0,0165 = 0,025 microsegundos

Teniendo en cuenta el tiempo promedio de acceso H= 0,15

(0.15) \* (0,01 microseg) + (0.85) \* (0.01+0,1) = 0,0015+0,0935 = 0,095 microsegundos

II-II Compare los pros y los contras de los “on chip” cache y los “off chips” cache (Valoración 10 puntos/100)

Caché on-chip: Reduce la actividad del bus externo del procesador y por tanto reduce los tiempos de ejecución e incrementa las prestaciones globales del sistema, los accesos a la caché

on-chip se efectúan más rápidos que los ciclos de bus.Si el procesador hace una petición de acceso a una posición de memoria que no está en la cache on-chip, entonces el procesador debe acceder a la DRAM o la ROM a través del bus. Debido a la lentitud usual del bus y a los tiempos de acceso de las memorias, se obtienen bajas prestaciones.De alli surgue la necesidad de incorporar la cache off-chip.

caché off-chip: muchos diseños no usan el bus del sistema como camino para las transferencias entre la caché off-chip y el procesador, sino que se emplea un camino de datos aparte para reducir el tráfico en el bus del sistema. Además, gracias a la reducción de dimensiones de los componentes de los procesadores, es fácil encontrar procesadores que incorporan la caché off-chip en el propio chip, con la consiguiente mejora de prestaciones.

II-III ¿Cuál es la ganancia que se obtiene en el método de acceso que se usa para los caches? (Valoración 5 puntos/100)

Una memoria cache es una capa de almacenamiento de datos de alta velocidad que almacena un subconjunto de datos, de modo que las solicitudes futuras de dichos datos se atienden con mayor rapidez que si se debe acceder a los datos desde la ubicación del almacenamiento principal. El almacenamiento en cache permite reutilizar de forma eficaz los datos recuperados o procesados anteriormente

**Parte III- Entrada/Salida y Memoria Externa (Valoración 30 puntos/100)**

III-I Describa brevemente como se puede implementar una rutina que maneje las interrupciones (Valoración 10 puntos/100)

Esto es posible mediante la operaciones de E/S, los datos se intercambian entre el procesador y el modulo.

Este procesador ejecuta programas de E/S incluyendo la transferencia del dato, este cuando envia una orden es captada y a la espera de que el modulo de E/S termine, el procesador proporciona la orden y continua ejecutándose hasta que es interrumpida por el modulo cuando finaliza.

El procesador es el responsable de extraer los datos de la memoria principal en una entrada.

III-II Una unidad de disco tiene 12 sectores por pista de 1024 Bytes cada uno. El disco gira a 7200 rpm y tiene un tiempo medio de búsqueda de 24ms. Calcular el tiempo que se necesita para transferir 3 sectores dispuestos de forma contigua. (Valoración 10 puntos/100)

* 12 sectores
* 1024 bytes
* 7200 rpm
* 24 ms

12 sectores ocupan en total 3 pistas, una pista completa con 36 sectores

**Tiempo de posicionamiento del cabezal sobre el sector**

**Tiempo de transferencia para la primera pista**

**Tiempo total para la primera pista**

**Ta =Tb + Tr + Tt =** 24 ms + 8,33 ms + 2,77 ms = **35,03 ms.**

**Tiempo de transferencia para la segunda pista**

**Tiempo de transferencia para la tercera pista**

**Tiempo total para la segunda pista**

**Ta =Tb + Tr + Tt =** 0 ms + 8,33 ms + 25 ms = **33,3 *ms***

**Tiempo total**

**Tt =** 35,03+ 33,3 + 33,3 = 101,63

III-III Considerando los mecanismos de RAID 0; RAID 1+0; RAID 0+1; RAID 5 y RAID 6. Se solicita que especifique el valor de verdad de las siguientes sentencias (Valoración 10 puntos/100):

1. Los tres mecanismos (RAID 0; RAID 1+0 y RAID 6) utilizan paridad

Falso

1. El RAID 1+0 es la mitad de eficiente en cuanto a la cantidad de almacenamiento necesario que el RAID 0

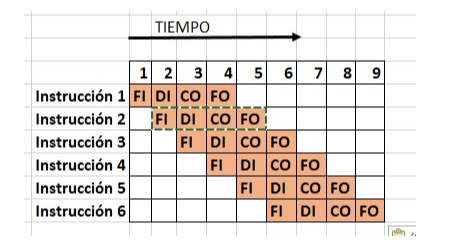
Falso

**Parte IV- Estructura de Pipeline (Valoración 20 puntos/100)**

IV-I Considerando la técnica de pipeline, y suponiendo condiciones ideales para su implementación, Diseñe un mecanismo de pipeline de 4 estados. Grafique la secuencia de instrucciones en el pipe, considerando le ejecución de 6 instrucciones secuenciales. Calcule la eficiencia ganada teniendo en cuenta que cada estado se ejecuta en una unidad de tiempo. (Valoración 10 puntos/100)

4 Estados: Fetch Instrucción (FI), Decode Instrucción (DI), Calculate Operands (CO), Fetch operands (Fo)

Gráfico de la Secuencias de Instrucciones



Teniendo en cuenta este pipeline de 4 estados podemos reducir el tiempo de ejecución para las 6 instrucciones desde 24 unidades de tiempo a solo 9 unidades de tiempo

IV-II Describa brevemente cómo las dependencias de datos limitan el rendimiento del pipeline. ¿Cómo se podría resolver este problema? (Valoración 10 puntos/100)

Esto ocurre cuando dos instrucciones quieren acceder a la memoria, pero no se pueden ejecutar al mismo tiempo haciendo que las instrucciones deban ejecutarse en forma estrictamente serial perdiéndose la simultaneidad, se solucionaría haciendo que una de las instrucciones se retrase para comenzar la otra y luego ejecutar la instrucción retrasada.